

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-197024

(43)Date of publication of application : 15.07.1994

(51)Int.CI.

H03M 7/14
H03M 5/06
H04L 25/49
// G11B 20/14

(21)Application number : 05-134287

(71)Applicant : SONY CORP

(22)Date of filing : 04.06.1993

(72)Inventor : INO HIROYUKI
SATO TAKASHI
NAKAGAWA TOSHIYUKI

(30)Priority

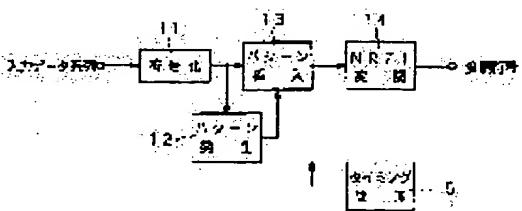
Priority number : 04298670 Priority date : 09.11.1992 Priority country : JP

(54) MODULATION METHOD, MODULATOR AND DEMODULATOR

(57)Abstract:

PURPOSE: To adapt a DSV control characteristic to a specification being a requirement of a transmission system by controlling a DSV of a modulation code based on an inserted pattern so as to minimize the increase in the redundancy as required.

CONSTITUTION: A coding circuit 11 converts an input data series into a code series A suitable for transmission. A pattern generating circuit 12 generates a pattern of a prescribed length at a prescribed interval inversely proportional to a low frequency cut-off frequency of a modulation code. A pattern insertion circuit 13 inserts the pattern to the code series A at a prescribed interval. A modulation circuit 14 applies NRZI modulation to a code series B with the pattern inserted thereto and outputs the result. A timing management circuit 15 controls the pattern insertion circuit 13 or the like.



LEGAL STATUS

[Date of request for examination] 19.05.2000

[Date of sending the examiner's decision of rejection] 31.07.2001

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision]

BEST AVAILABLE COPY

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平6-197024

(43) 公開日 平成6年(1994)7月15日

(51) Int.Cl. ⁵	識別記号	序内整理番号	F I	技術表示箇所
H 03 M 7/14	B 8522-5 J			
5/06	8522-5 J			
H 04 L 25/49	A 8226-5 K			
II G 11 B 20/14	3 4 1 A 7736-5 D			

審査請求 未請求 請求項の数20(全 17 頁)

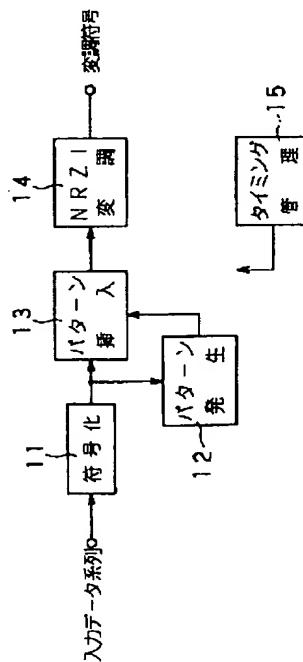
(21) 出願番号	特願平5-134287	(71) 出願人	000002185 ソニー株式会社 東京都品川区北品川6丁目7番35号
(22) 出願日	平成5年(1993)6月4日	(72) 発明者	井野 浩幸 東京都品川区北品川6丁目7番35号 ソニ ー株式会社内
(31) 優先権主張番号	特願平4-298670	(72) 発明者	佐藤 高 東京都品川区北品川6丁目7番35号 ソニ ー株式会社内
(32) 優先日	平4(1992)11月9日	(72) 発明者	中川 俊之 東京都品川区北品川6丁目7番35号 ソニ ー株式会社内
(33) 優先権主張国	日本 (JP)	(74) 代理人	弁理士 小池 晃 (外2名)

(54) 【発明の名称】 変調方法、変調装置及び復調装置

(57) 【要約】

【構成】 符号化回路11は、入力データ系列を伝送に適した符号系列Aに変換する。パターン発生回路12は、所定の長さのパターンを変調符号の低域カットオフ周波数に反比例した所定間隔で発生する。パターン挿入回路13は、符号系列Aにパターンを所定間隔で挿入する。変調回路14は、パターンが挿入された符号系列BをNRZI変調して出力する。タイミング管理回路15は、パターン挿入回路13等を制御する。

【効果】 挿入したパターンにより変調符号のDSVを制御することができると共に、冗長度の増加を必要最小限に抑えて、伝送系の要求する仕様にDSV制御特性を適合させることができる。



1

2

【特許請求の範囲】

【請求項1】 符号系列に所定の長さのパターンを所定間隔で挿入し、該パターンが挿入された符号系列をNRZI変調して、DSV制御された変調符号を出力することを特徴とする変調方法。

【請求項2】 (d, k) 符号系列に2(d+1)ビットの長さを有するパターンを所定間隔で挿入し、該パターンが挿入された(d, k)符号系列をNRZI変調して、DSV制御された変調符号を出力することを特徴とする変調方法。

【請求項3】 前記所定間隔が、前記変調符号の低域カットオフ周波数に反比例した値であることを特徴とする請求項1又は請求項2記載の変調方法。

【請求項4】 前記パターンが、1の数が0、1、2の3種類のパターンであることを特徴とする請求項1又は請求項2記載の変調方法。

【請求項5】 前記パターンが、1の数が0、1、2の3種類のパターンであることを特徴とする請求項3記載の変調方法。

【請求項6】 今回挿入するパターン以前のDSVと、今回挿入するパターンと次に挿入するパターン間の符号系列のDSVとを加算し、該加算値の絶対値が小さくなるように前記3種類のパターンのうちの1つを選択して挿入することを特徴とする請求項4記載の変調方法。

【請求項7】 今回挿入するパターン以前のDSVと、今回挿入するパターンと次に挿入するパターン間の符号系列のDSVとを加算し、該加算値の絶対値が小さくなるように前記3種類のパターンのうちの1つを選択して挿入することを特徴とする請求項5記載の変調方法。

【請求項8】 符号系列に所定の長さのパターンを所定間隔で挿入するパターン挿入手段と、該パターン挿入手段からのパターンが挿入された符号系列をNRZI変調する変調手段とを備え、該変調手段からDSV制御された変調符号を出力することを特徴とする変調装置。

【請求項9】 (d, k) 符号系列に2(d+1)ビットの長さを有するパターンを所定間隔で挿入するパターン挿入手段と、該パターン挿入手段からのパターンが挿入された(d, k)符号系列をNRZI変調する変調手段とを備え、該変調手段からDSV制御された変調符号を出力することを特徴とする変調装置。

【請求項10】 前記パターン挿入手段が、前記変調符号の低域カットオフ周波数に反比例した所定間隔でパターンを挿入することを特徴とする請求項8又は請求項9記載の変調装置。

【請求項11】 前記パターン挿入手段が、1の数が0、1、2の3種類のパターンのうちの1つを選択して挿入することを特徴とする請求項8又は請求項9記載の

変調装置。

【請求項12】 前記パターン挿入手段が、1の数が0、1、2の3種類のパターンのうちの1つを選択して挿入することを特徴とする請求項10記載の変調装置。

【請求項13】 今回挿入するパターン以前のDSVと、今回挿入するパターンと次に挿入するパターン間の符号系列のDSVとを加算し、該加算値の絶対値が小さくなるように前記3種類のパターンのうちの1つを選択して挿入する前に前記パターン挿入手段を制御する制御手段を備えることを特徴とする請求項11記載の変調装置。

【請求項14】 今回挿入するパターン以前のDSVと、今回挿入するパターンと次に挿入するパターン間の符号系列のDSVとを加算し、該加算値の絶対値が小さくなるように前記3種類のパターンのうちの1つを選択して挿入する前に前記パターン挿入手段を制御する制御手段を備えることを特徴とする請求項12記載の変調装置。

【請求項15】 所定の長さのパターンを所定間隔で挿入した後に、NRZI変調し、DSV制御された変調符号が供給され、該変調符号をNRZI復調して、パターンが挿入された符号系列を再生する復調手段と、該復調手段からのパターンが挿入された符号系列からパターンを除去して、元の符号系列を再生するパターン除去手段とを備えることを特徴とする復調装置。

【請求項16】 (d, k) 符号系列に2(d+1)ビットの長さを有するパターンを所定間隔で挿入し、該パターンが挿入された(d, k)符号系列をNRZI変調して、DSV制御された変調符号を出力する際に、上記パターンが挿入される前後のd+1ビットに基づいて、上記パターンを決定することを特徴とする変調方法。

【請求項17】 前記パターンが挿入される直前のd+1ビットに1が含まれず、直後のd+1ビットに1が含まれるときは、該直後のd+1ビットを用いて上記パターンを決定し、上記直前のd+1ビットに1が含まれ、直後のd+1ビットに1が含まれないときは、上記直前のd+1ビットを用いて上記パターンを決定することを特徴とする請求項16記載の変調方法。

【請求項18】 前記パターンが挿入される直前及び直後のd+1ビットに1が含まれないときは、上記パターンを、最下位ビットを第1ビットとしたときの第d+1ビットのみを1とした第1の反転パターン、又は1を2つ含むと共に、前記(d, k)符号の符号則を満足する第1の非反転パターンとし、上記直前のd+1ビットに1が含まれず、直後のd+1ビットに1が含まれるときは、上記パターンを、上位d+1ビットが上記直後のd+1ビットであって、下位d

3

+1ビットが全て0である第2の反転パターン、又は上記直後のd+1ビットが連続した第2の非反転パターンとし、

上記直前のd+1ビットに1が含まれ、直後のd+1ビットに1が含まれないときは、上記パターンを、上位d+1ビットが全て0であって、下位d+1ビットが上記直前のd+1ビットである第3の反転パターン、又は上記直前のd+1ビットが連続した第3の非反転パターンとし、

上記直前及び直後のd+1ビットにそれぞれ1が含まれるときは、上記パターンを、上記第1の反転パターン、又は上記直前のd+1ビットと直後のd+1ビットが連続した第4の非反転パターンとすることを特徴とする請求項16又は請求項17記載の変調方法。

【請求項19】 $2d < k < 2(2d+1)$ が成立するときは、前記第4の非反転パターンを、前記パターンが挿入される前後のd/2ビット(dが偶数)又は(d+1)/2ビット(dが奇数)に基づいて決定することを特徴とする請求項18記載の変調方法。

【請求項20】今回挿入するパターン以前のDSVと、今回挿入するパターンと次に挿入するパターン間の符号系列のDSVとを加算し、該加算値の絶対値が小さくなるように前記反転パターン又は非反転パターンを選択することを特徴とする請求項18又は請求項19記載の変調方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、変調方法、変調装置及び復調装置に関し、データを伝送したり、記録媒体に記録する際に、伝送(記録)に適した変調を施した変調符号のDSV向上させるものである。

【0002】

【従来の技術】データを伝送したり、例えば磁気テープ、磁気ディスク、光ディスク等の記録媒体に記録する際に、データに伝送(記録)に適した符号化処理、変調処理を施し、得られる変調符号を伝送するようになっている。ところで、再生時において、例えば再生信号を2値化(デジタル化)する際の基準レベルのふらつきに起因したエラーが発生しないようにするために、あるいは例えばディスク装置の所謂サーボ制御におけるトラッキングエラー信号等の各種のエラー信号に変動が生じないようにするために、変調符号に直流成分が含まれないようになることが必要である。

【0003】データのシンボル「1」、「0」をそれぞれ+1、-1とし、変調符号系列の開始時点からのシンボルの総和である所謂DSV(Digital Sum Value)は、上述の直流成分の評価の目安であり、DSVの絶対値が小さいと、直流成分又は低域成分が少ないことを表している。

【0004】したがって、デジタル・オーディオ・テ 50

4

ープレコーダ(DAT)で採用されている8-10変換、コンパクトディスク(CD)プレーヤで採用されているEFM(Eight to Fourteen Modulation)、磁気ディスク装置で採用されているMiller²(Miller square)等の変調では、例えば所謂マーク間(mark position)変調であるNRZ(Non Return to Zero)やマーク長(mark length)変調であるNRZI(Non Return to Zero Inverted)を施した後のDSVの絶対値を小さくするDSV制御が行われている。

【0005】

【発明が解決しようとする課題】換言すると、これらの変調ではDSV制御特性が一意的に決定されており、DSV制御特性を伝送系(あるいは記録系と再生系)の要求する仕様に適合させることができなかった。例えば伝送系の仕様を満足しなかったり、逆に伝送系の仕様以上のDSV制御特性を有する、すなわち余分な冗長を有することになってしまうという問題があった。

【0006】一方、一般的な符号、例えば「0」の最小ラン(run)をdとし、最大ランをkとする所謂(d, k; m, n; r)符号(r=1のとき固定長符号、r≠1のとき可変長符号)では、DSV制御は考慮されておらず、上述のような直流成分に起因したエラーが発生する等の虞れがある。また、DSV制御特性を考慮した符号設計を行うことも可能であるが、制約項目が増え、冗長度が増加する等の問題がある。

【0007】本発明は、上述の問題点に鑑み、DSV制御が考慮されていない符号に対して、冗長度の増加を必要最小限に抑えて、伝送系が要求する仕様に適合したDSV制御を行うことができる変調方法、変調装置及び復号装置を提供することを目的としている。

【0008】

【課題を解決するための手段】上述の目的を達成するために、本発明に係る第1の変調方法は、符号系列に所定の長さのパターンを所定間隔で挿入し、パターンが挿入された符号系列をNRZI変調して、DSV制御された変調符号を出力することを特徴とする。

【0009】また、本発明に係る第2の変調方法は、(d, k)符号系列に2(d+1)ビットの長さを有するパターンを所定間隔で挿入し、パターンが挿入された(d, k)符号系列をNRZI変調して、DSV制御された変調符号を出力することを特徴とする。

【0010】また、本発明に係る第3の変調方法は、第1又は第2の変調方法において、所定間隔が、変調符号の低域カットオフ周波数に反比例した値であることを特徴とする。

【0011】また、本発明に係る第4の変調方法は、第1又は第2の変調方法において、パターンが、1の数が0、1、2の3種類のパターンであることを特徴とする。

【0012】また、本発明に係る第5の変調方法は、第

3の変調方法において、パターンが、1の数が0、1、2の3種類のパターンであることを特徴とする。

【0013】また、本発明に係る第6の変調方法は、第4の変調方法において、今回挿入するパターン以前のD S Vと、今回挿入するパターンと次に挿入するパターン間の符号系列のD S Vとを加算し、加算値の絶対値が小さくなるように3種類のパターンのうちの1つを選択して挿入することを特徴とする。

【0014】また、本発明に係る第7の変調方法は、第5の変調方法において、今回挿入するパターン以前のD S Vと、今回挿入するパターンと次に挿入するパターン間の符号系列のD S Vとを加算し、加算値の絶対値が小さくなるように3種類のパターンのうちの1つを選択して挿入することを特徴とする。

【0015】また、本発明に係る第1の変調装置は、符号系列に所定の長さのパターンを所定間隔で挿入するパターン挿入手段と、パターン挿入手段からのパターンが挿入された符号系列をN R Z I変調する変調手段とを備え、変調手段からD S V制御された変調符号を出力することを特徴とする。

【0016】また、本発明に係る第2の変調装置は、(d, k)符号系列に2(d+1)ビットの長さを有するパターンを所定間隔で挿入するパターン挿入手段と、パターン挿入手段からのパターンが挿入された(d, k)符号系列をN R Z I変調する変調手段とを備え、変調手段からD S V制御された変調符号を出力することを特徴とする。

【0017】また、本発明に係る第3の変調装置は、第1又は第2の変調装置において、パターン挿入手段が、変調符号の低域カットオフ周波数に反比例した所定間隔でパターンを挿入することを特徴とする。

【0018】また、本発明に係る第4の変調装置は、第1又は第2の変調装置において、パターン挿入手段が、1の数が0、1、2の3種類のパターンのうちの1つを選択して挿入することを特徴とする。

【0019】また、本発明に係る第5の変調装置は、第3の変調装置において、パターン挿入手段が、1の数が0、1、2の3種類のパターンのうちの1つを選択して挿入することを特徴とする。

【0020】また、本発明に係る第6の変調装置は、第4の変調装置において、今回挿入するパターン以前のD S Vと、今回挿入するパターンと次に挿入するパターン間の符号系列のD S Vとを加算し、加算値の絶対値が小さくなるように3種類のパターンのうちの1つを選択して挿入するようパターン挿入手段を制御する制御手段を備えることを特徴とする。

【0021】また、本発明に係る第7の変調装置は、第5の変調装置において、今回挿入するパターン以前のD S Vと、今回挿入するパターンと次に挿入するパターン間の符号系列のD S Vとを加算し、加算値の絶対値が小

さくなるように3種類のパターンのうちの1つを選択して挿入するようにパターン挿入手段を制御する制御手段を備えることを特徴とする。

【0022】また、本発明に係る復調装置は、所定の長さのパターンを所定間隔で挿入した後に、N R Z I変調し、D S V制御された変調符号が供給され、この変調符号をN R Z I復調して、パターンが挿入された符号系列を再生する復調手段と、復調手段からのパターンが挿入された符号系列からパターンを除去して、元の符号系列を再生するパターン除去手段とを備えることを特徴とする。

【0023】また、本発明に係る第8の変調方法は、(d, k)符号系列に2(d+1)ビットの長さを有するパターンを所定間隔で挿入し、パターンが挿入された(d, k)符号系列をN R Z I変調して、D S V制御された変調符号を出力する際に、パターンが挿入される前後のd+1ビットに基づいて、パターンを決定することを特徴とする。

【0024】また、本発明に係る第9の変調方法は、第8の変調方法において、パターンが挿入される直前のd+1ビットに1が含まれず、直後のd+1ビットに1が含まれるときは、直後のd+1ビットを用いてパターンを決定し、直前のd+1ビットに1が含まれ、直後のd+1ビットに1が含まれないときは、直前のd+1ビットを用いてパターンを決定することを特徴とする。

【0025】また、本発明に係る第10の変調方法は、第8又は第9の変調方法において、パターンが挿入される直前及び直後のd+1ビットに1が含まれないときは、パターンを、最下位ビットを第1ビットとしたときの第d+1ビットのみを1とした第1の反転パターン、又は1を2つ含むと共に、(d, k)符号の符号則を満足する第1の非反転パターンとし、直前のd+1ビットに1が含まれず、直後のd+1ビットに1が含まれるときは、パターンを、上位d+1ビットが直後のd+1ビットであって、下位d+1ビットが全て0である第2の反転パターン、又は直後のd+1ビットが連続した第2の非反転パターンとし、直前のd+1ビットに1が含まれ、直後のd+1ビットに1が含まれないときは、パターンを、上位d+1ビットが全て0であって、下位d+1ビットが直前のd+1ビットである第3の反転パターン、又は直前のd+1ビットが連続した第3の非反転パターンとし、直前及び直後のd+1ビットにそれぞれ1が含まれるときは、パターンを、第1の反転パターン、又は直前のd+1ビットと直後のd+1ビットが連続した第4の非反転パターンとすることを特徴とする。

【0026】また、本発明に係る第11の変調方法は、第10の変調方法において、 $2d < k < 2(2d+1)$ が成立するときは、第4の非反転パターンを、パターンが挿入される前後のd/2ビット(dが偶数)又は(d+1)/2ビット(dが奇数)に基づいて決定すること

を特徴とする。

【0027】また、本発明に係る第12の変調方法は、第10又は第11の変調方法において、今回挿入するパターン以前のDSVと、今回挿入するパターンと次に挿入するパターン間の符号系列のDSVとを加算し、加算値の絶対値が小さくなるように反転パターン又は非反転パターンを選択することを特徴とする。

【0028】

【作用】第1の変調方法では、符号系列に所定の長さのパターンを所定間隔で挿入した後、NRZI変調して、DSV制御された変調符号を出力する。

【0029】また、第2の変調方法では、(d, k)符号系列に2(d+1)ビットの長さを有するパターンを所定間隔で挿入した後、NRZI変調して、DSV制御された変調符号を出力する。

【0030】また、第3の変調方法では、第1又は第2の変調方法において、所定間隔を変調符号の低域カットオフ周波数に反比例した値とする。

【0031】また、第4の変調方法では、第1又は第2の変調方法において、パターンを1の数が0、1、2の3種類のパターンとする。

【0032】また、第5の変調方法では、第3の変調方法において、パターンを1の数が0、1、2の3種類のパターンとする。

【0033】また、第6の変調方法では、第4の変調方法において、今回挿入するパターン以前のDSVと、今回挿入するパターンと次に挿入するパターン間の符号系列のDSVとを加算し、加算値の絶対値が小さくなるように3種類のパターンのうちの1つを選択して挿入する。

【0034】また、第7の変調方法では、第5の変調方法において、今回挿入するパターン以前のDSVと、今回挿入するパターンと次に挿入するパターン間の符号系列のDSVとを加算し、加算値の絶対値が小さくなるように3種類のパターンのうちの1つを選択して挿入する。

【0035】第1の変調装置では、符号系列に所定の長さのパターンを所定間隔で挿入した後、NRZI変調して、DSV制御された変調符号を出力する。

【0036】また、第2の変調装置では、(d, k)符号系列に2(d+1)ビットの長さを有するパターンを所定間隔で挿入した後、NRZI変調して、DSV制御された変調符号を出力する。

【0037】また、第3の変調装置では、第1又は第2の変調装置において、所定間隔を変調符号の低域カットオフ周波数に反比例した値とする。

【0038】また、第4の変調装置では、第1又は第2の変調装置において、パターンを1の数が0、1、2の3種類のパターンとする。

【0039】また、第5の変調装置では、第3の変調装

50

置において、パターンを1の数が0、1、2の3種類のパターンとする。

【0040】また、第6の変調装置では、第4の変調装置において、今回挿入するパターン以前のDSVと、今回挿入するパターンと次に挿入するパターン間の符号系列のDSVとを加算し、加算値の絶対値が小さくなるように3種類のパターンのうちの1つを選択して挿入する。

【0041】また、第7の変調装置では、第5の変調装置において、今回挿入するパターン以前のDSVと、今回挿入するパターンと次に挿入するパターン間の符号系列のDSVとを加算し、加算値の絶対値が小さくなるように3種類のパターンのうちの1つを選択して挿入する。

【0042】また、復調装置では、変調符号をNRZI復調してパターンが挿入された符号系列を再生し、パターンが挿入された符号系列からパターンを除去して元の符号系列を再生する。

【0043】また、第8の変調方法では、(d, k)符号系列に2(d+1)ビットの長さを有するパターンを所定間隔で挿入した後、NRZI変調して、DSV制御された変調符号を出力する際に、パターンが挿入される前後のd+1ビットに基づいて、パターンを決定する。

【0044】また、第9の変調方法では、第8の変調方法において、パターンが挿入される直前のd+1ビットに1が含まれず、直後のd+1ビットに1が含まれるときは、直後のd+1ビットを用いてパターンを決定し、直前のd+1ビットに1が含まれ、直後のd+1ビットに1が含まれないときは、直前のd+1ビットを用いてパターンを決定する。

【0045】また、第10の変調方法では、第8又は第9の変調方法において、パターンが挿入される直前及び直後のd+1ビットに1が含まれないときは、パターンを第1の反転パターン又は第1の非反転パターンとし、直前のd+1ビットに1が含まれず、直後のd+1ビットに1が含まれるときは、パターンを第2の反転パターン又は第2の非反転パターンとし、直前のd+1ビットに1が含まれ、直後のd+1ビットに1が含まれないときは、パターンを第3の反転パターン又は第3の非反転パターンとし、直前及び直後のd+1ビットにそれぞれ1が含まれるときは、パターンを第1の反転パターン又は第1の非反転パターンとする。

【0046】また、第11の変調方法では、第10の変調方法において、 $2d < k < 2(d+1)$ が成立するときは、第4の非反転パターンを、dが偶数ではパターンが挿入される前後のd/2ビットに基づいて決定し、dが奇数では前後の(d+1)/2ビットに基づいて決定する。

【0047】また、第12の変調方法では、第10又は第11の変調方法において、今回挿入するパターン以前

9

のDSVと、今回挿入するパターンと次に挿入するパターン間の符号系列のDSVとを加算し、加算値の絶対値が小さくなるように反転パターン又は非反転パターンを選択する。

【0048】

【実施例】以下、本発明に係る変調方法、変調装置及び復調装置の実施例について図面を参照しながら説明する。図1は、本発明を適用した変調装置の要部の回路構成を示すブロック図である。

【0049】この変調装置は、図1に示すように、入力データ系列を伝送に適した符号系列に変換する符号化回路11と、所定の長さのパターンを所定間隔で発生するパターン発生回路12と、上記符号化回路11からの符号系列に上記パターン発生回路12からのパターンを所定間隔で挿入するパターン挿入回路13と、該パターン挿入回路13からのパターンが挿入された符号系列をNRZI(Non Return to Zero Inverted)変調して出力する変調回路14と、上記パターン挿入回路13等を制御するタイミング管理回路15とを備える。

【0050】そして、この変調装置は、入力データ系列を伝送(記録)に適した符号系列Aに変換し、例えば図2に示すように、この符号系列Aに、所定の長さである T_{dd} ビットからなるパターンを所定間隔 T_{dd} ビットで挿入し、パターンが挿入された符号系列BをNRZI変調して、所謂DSV(Digital Sum Value)制御された変調符号を出力するようになっている。

【0051】具体的には、符号化回路11は、入力データ系列を伝送(あるいは記録)に適した符号則に基づいて符号系列Aに変換する。例えば、「0」の最小ラン(rn)をdとし、最大ランをkとする所謂(d, k; m, n; r)符号に変換する。具体的には、例えば(1, 3; 1, 2; 1)符号である所謂MFM(Modified Frequency Modulation)、例えば下記表1に示すように(2, 7; 1, 2; 4)符号である所謂RLL(2, 7)変調、下記表2に示すように(4, 22; 2, 5; 5)符号等のDSV制御が考慮されていない符号則に基づいて、入力データ系列を符号化する。したがって、この符号化回路11からはDSV制御されていない符号系列Aが出力される。

【0052】

【表1】

【0053】

【表2】

10
表1

データ語	符号語
0 0 0	0 0 0 1 0 0
1 0	0 1 0 0
0 1 0	1 0 0 1 0 0
0 0 1 0	0 0 1 0 0 1 0 0
1 1	1 0 0 0
0 1 1	0 0 1 0 0 0
0 0 1 1	0 0 0 0 1 0 0 0

表2 (1/2)

データ語	符号語
i=1 11 10 111111	00000 10000 00001 00001 00000
i=2 0111 0110 0101 0100	01000 00000 00100 00000 00010 00000 00001 00000
i=3 001111 001110 001101 001100 001011 001010 001001 001000 000111	01000 01000 00000 01000 00100 00000 01000 00010 00000 01000 00001 00000 00010 00001 00000 00100 00100 00000 00100 00001 00000 00100 00000 00000 00010 00010 00000
i=4 00011011 00011010 00011001 00011000 00010111 00010110 00010101 00010100 00010011 00010010 00010001 00010000 00001111 00001110 00001101 00001100 00001011 00001010 00001001 00001000	01000 01000 01000 00000 01000 01000 00100 00000 01000 01000 00010 00000 01000 01000 00001 00000 01000 00010 00001 00000 01000 00100 00010 00000 01000 00100 00001 00000 01000 00100 00000 00000 01000 00010 00010 00000 00100 00100 00010 00000 00100 00010 00001 00000 00100 00001 00000 00000 00010 00001 00001 00000 00100 00001 00001 00000 00010 00010 00001 00000 00100 00010 00000 00000 000010 00001 00001 00000 000010 00001 00001 00000 000010 00010 00001 00000 000010 00010 00000 00000

【0054】

【表3】

11
表2 (2/2)

データ語	符号語
i=5 0000011111	01000 01000 01000 01000 00000
0000011110	01000 01000 01000 00100 00000
0000011101	01000 01000 01000 00010 00000
0000011100	01000 01000 01000 00001 00000
0000011011	01000 01000 00010 00001 00000
0000011010	01000 01000 00100 00100 00000
0000011001	01000 01000 00100 00010 00000
0000011000	01000 01000 00100 00001 00000
0000010111	01000 01000 00010 00010 00000
0000010110	01000 00100 00100 00100 00000
0000010101	01000 00100 00100 00010 00000
0000010100	01000 00100 00100 00001 00000
0000010011	01000 00010 00001 00001 00000
0000010010	01000 00100 00001 00001 00000
0000010001	01000 00100 00010 00001 00000
0000010000	01000 00100 00010 00001 00000
0000001111	01000 01000 00001 00001 00000
0000001110	01000 00001 00001 00001 00000
0000001101	01000 00010 00001 00001 00000
0000001100	01000 00010 00010 00001 00000
0000001011	00100 00100 00010 00010 00000
0000001010	00100 00100 00100 00100 00000
0000001001	00100 00100 00100 00010 00000
0000001000	00100 00100 00100 00001 00000
0000000111	00100 00100 00001 00001 00000
0000000110	00100 00001 00001 00001 00000
0000000101	00100 00010 00001 00001 00000
0000000100	00100 00010 00001 00001 00000
0000000011	00100 00001 00001 00001 00000
0000000010	00010 00010 00001 00001 00000
0000000001	00010 00010 00010 00010 00000
0000000000	00010 00010 00010 00001 00000
SYNC for mod2to4d5	
ASYNC	23T 2LT 6T
B SYNC	2LT 23T 6T

【0055】パターン発生回路12は、符号化回路11から供給される符号系列Aに基づいて、 $T_{d,c}$ ビットからなるパターンを所定間隔 $T_{c,d,c}$ ビットで発生する。そして

$$\begin{aligned} T_{d,c} &= (d - S_1) + 1 + d + 1 + (d - (d - S_1)) \\ &= 2(d + 1) \end{aligned}$$

...式1

【0059】

$$\begin{aligned} T_{d,c} &= (d - S_1) + 1 + (d - (d - S_1)) \\ &= d + 1 \end{aligned}$$

...式2

【0060】なお、式1、2において、 S_1 は、挿入されるパターン以前の連続する「0」の数であり、 $0 \leq S_1 \leq k$ の条件を満足する。したがって、パターン発生回路12は、符号化回路11において (d, k) 符号が採用されているときは、 $2(d + 1)$ ビットからなるパターンを発生する。なお、 $k = \infty$ では、上述の「1」の数が0個のパターンを用いることができ、そのときは $d + 1$ ビットとからなるパターンを発生する。

【0061】具体的には、例えば(4, 22; 2, 5; 5)符号では、パターン発生回路12は、10($= 2 \times 50$)

*で、パターン挿入回路13は、符号化回路11から供給される符号系列Aにパターン発生回路12から供給される $T_{d,c}$ ビットからなるパターンを所定間隔 $T_{c,d,c}$ ビットで挿入して符号系列Bを生成する。変調回路14は、パターン挿入回路13から供給される符号系列BをNRZ I変調して変調符号を生成し、この変調符号を出力する。そして、この変調符号に同期信号等が付加されて伝送(記録)される。

【0056】ところで、変調回路14から出力される変調符号は、挿入されたパターンの「1」の数が奇数のときは、挿入されたパターン以降は論理が反転し、「0」が「1」、「1」が「0」となり)、「1」の数が偶数のときは論理は反転したことから、本発明ではこれらのパターンを選択して符号系列Aに挿入することにより、変調符号のDSVを制御するのであるが、冗長度の増加を最小限に抑えることができるパターンは、「1」の数が0個又は1個のパターンである。したがって、上述したパターン発生回路12は、「1」の数が0個又は1個のパターンを発生する。なお、「1」の数が0個のパターンは、符号則によっては「0」の連続が最大ランk以上となってしまう場合があり、その符号に対しては「1」の数が0個のパターンの代わりに「1」の数が2個のパターンを発生する。すなわちパターン発生回路は、「1」の数が0個、1個又は2個の3種類のパターンを発生する。

【0057】また、パターン挿入回路13において符号系列Aの任意の場所にパターンを挿入したとき、パターンが挿入された符号系列Bが (d, k) 符号則を満足するようにするためには、上述の「1」の数が2個のパターンでは、そのパターンの最小の長さ、すなわち上述の所定の長さ $T_{d,c}$ ビットは下記式1により求められ、「1」の数が1個のパターンでは、所定の長さ $T_{d,c}$ ビットは下記式2により求められる。

【0058】

...式1

...式2

(4+1)ビットからなるパターンであって、「000000000」のパターン、「0000100001」のパターン、「1000010000」のパターン(以下、単に偶数個群のパターンという)及び「0000100000」のパターン(以下、奇数個群のパターン)から1つを選択して発生する。そして、その選択は、以下に説明するアルゴリズムによる。

【0062】例えば上述の図2に示すように、今回挿入するパターン b_1 以前のDSVと、今回挿入するパターン b_1 と次に挿入するパターン b_2 間の符号系列 a_2 の

13

D S Vとを加算し、この加算値の絶対値が小さくなるように偶数個群のパターン又は奇数個群のパターンのうちの1つを選択する。

【0063】また、複数のパターンからなる偶数個群のパターンのうちの1つの選択は、挿入するパターン直後に「0」が4個連続しているときは「0000100001」のパターンを選択し、直前に「0」が4個連続しているときは「1000010000」のパターンを選択し、それ以外のときは「0000000000」のパターンを選択する。

【0064】また、例えばR L L (2, 7) 変調では、パターン発生回路12は、 $6 = 2 \times (2+1)$ ビットからなるパターンであって、「001001」、「100100」及び「010010」の3種類のパターンを偶数個群のパターンとし、「100000」、「010000」、「001000」、「000100」、「000010」及び「000001」の6種類のパターンを奇数個群のパターンとすると共に、偶数個群のパ

$$f_c = K / (T_{code} + T_{dc})$$

【0067】なお、係数Kの値は符号則に基づいた値であり、例えば上述の(4, 22; 2, 5; 5)符号では $K=0.08$ であり、例えばR L L (2, 7) 変調では $K=0.5$ である。ここで、 $(T_{code} + T_{dc})$ ビットをパラメータとした(4, 22; 2, 5; 5)符号における低域特性を図3に示し、R L L (2, 7) 変調における低域特性を図4に示す。すなわち、これらの図3、4に示すように、大きな低域抑圧特性を要求する伝送系に対しては所定間隔 T_{code} ビットを小さくし、低域抑圧特性を余り要求しない伝送系に対しては所定間隔 T_{code} ビットを大きくする。換言すると、D S V制御特性が伝送系の要求する仕様に適合するように所定間隔 T_{code} ビットの値を決定することができ、冗長度の増加を必要最小限に抑えることができる。

【0068】かくして、パターン発生回路12で発生されたパターンは、上述したようにパターン挿入回路13に供給され、パターン挿入回路13において符号系列Aに挿入される。この結果、変調回路14からはD S Vの絶対値を小さくするD S V制御された、すなわち直流成分や低域成分が抑圧（あるいはカット）された変調符号が出力される。

【0069】つぎに、本発明を適用した復調装置の一実施例について説明する。この復調装置は、例えば図5に示すように、変調信号をN R Z I復調して、パターンが挿入された上記符号系列Bを再生する復調回路21と、該復調回路21からの符号系列Bからパターンを除去して、上記符号系列Aを再生するパターン除去回路22と、該パターン除去回路22からの符号系列Aを復号化して、元のデータ系列を再生する復号化回路23と、同期信号を検出するS Y N C検出回路24と、該S Y N C検出回路24で検出された同期信号に基づいて、上記バ

*ターンのうちの1つの選択は、挿入するパターンの直前のパターンが「1」のときは「001001」のパターンを選択し、直後のパターンが「1」のときは「100100」のパターンを選択し、それ以外のときは「010010」のパターンを選択する。なお、奇数個群のパターンからの選択に対しては何ら制約はない。

【0065】一方、タイミング管理回路15は、符号系列Aに T_{dc} ビットからなるパターンが所定間隔 T_{code} ビットで挿入されるように、パターン発生回路12及びパターン挿入回路13を制御する。例えば所定間隔 T_{code} ビットが変調符号の低域カット周波数に反比例した値となるように制御する。具体的には、低域カットオフ周波数を f_c とすると、この低域カットオフ周波数 f_c と所定間隔 T_{code} ビットは下記式3に示す反比例の関係を有し、タイミング管理回路15は、この式3に基づいて得られる所定間隔 T_{code} ビットに基づいてパターン発生回路12及びパターン挿入回路13を制御する。

【0066】

...式3

20 ターン除去回路22等を制御するタイミング管理回路25とを備える。

【0070】そして、復調回路21には、受信信号あるいは再生信号に所謂等化処理、2値化処理等を施して得られる変調符号が供給され、この復調回路21は、変調符号をN R Z I復調して、上述した変調装置のパターン挿入回路13の出力に対応するパターンが挿入された符号系列Bを再生し、この符号系列Bをパターン除去回路22及びS Y N C検出回路24に供給する。すなわち、上述したように変調装置において変調符号に直流成分や低域成分が含まれないようにD S V制御しているので、従来の技術で述べた直流成分に起因したエラー等がない変調符号がこの復調回路21に供給され、エラーがない符号系列Bを再生することができる。

【0071】S Y N C検出回路24は、同期信号を検出し、タイミング管理回路25は、この検出された同期信号に基づいて、例えば再生クロックをカウントしてパターンが挿入されている位置を検出し、検出結果に基づいてパターン除去回路22を制御する。

【0072】パターン除去回路22は、タイミング管理回路25の制御のもとに、 T_{dc} ビットからなるパターンが所定間隔 T_{code} ビットで挿入された符号系列Bからパターンを除去して、符号系列Aを再生する。ところで、上述したように変調装置においてパターンは所定間隔 T_{code} ビットで挿入されているので、簡単に除去することができる。

【0073】復号化回路23は、パターン除去回路22から供給される符号系列Aを、送信（あるいは記録）の際の符号則に対応して復号化して元のデータを再生し、このデータを出力する。

【0074】かくして、本実施例では、符号系列Aに所

定の長さである T_{cyc} ビットのパターンを所定間隔 T_{cycle} ビットで挿入した後、NRZI変調して、DSV制御された変調符号を出力することにより、挿入したパターンの「1」の数に基づいて変調符号のDSVを制御することができる。

【0075】また、(d, k)符号系列Aに2(d+1)ビットの長さを有するパターンを所定間隔 T_{cycle} ビットで挿入した後、NRZI変調して、DSV制御された変調符号を出力することにより、挿入したパターンの「1」の数に基づいて変調符号のDSVを制御することができると共に、パターンが挿入された符号系列Bが符号則を満足した状態で、パターンの長さを最小とすことができ、冗長度の増加を少なくすることができる。

【0076】また、所定間隔 T_{cycle} ビットを変調符号の低域カットオフ周波数f_cに反比例した値とすることにより、伝送系の要求する仕様にDSV制御特性を適合させることができる。すなわち、冗長度の増加を必要最小限に抑えることができる。換言すると、符号設計上のDSVに関する制約項目がなくなり、最適かつ適用範囲が広い符号を容易に設計することができる。

【0077】また、挿入するパターンを「1」の数が0, 1, 2の3種類のパターンとすることにより、冗長度の増加を必要最小限に抑えることができる。

【0078】また、今回挿入するパターンb₁以前のDSVと、今回挿入するパターンb₁と次に挿入するパターンb₂間の符号系列a₂のDSVとを加算し、加算値の絶対値が小さくなるように3種類のパターンのうちの1つを選択して挿入することにより、短いパターンでDSVを大きく変化させることができる。

* 【0079】また、変調符号をNRZI復調してパターンが挿入された符号系列Bを再生し、パターンが挿入された符号系列Bからパターンを除去して元の符号系列Aを再生することにより、直流成分に起因したエラー等がない再生を行うことができる。

【0080】ところで、上述のように(d, k)符号系列をNRZI変調して、例えば光ディスク等に記録する場合、この記録波形列の所謂最少反転間隔をT_{min}とし、最大反転間隔をT_{max}とすると、記録密度の観点からT_{min}が長い、すなわち最少ランdが大きい方が良く、またクロックの再生や所謂ジッタの面からは最大反転間隔T_{max}が短い、すなわち最大ランkが小さい方が望ましい。

【0081】例えば上述したEFMは(2, 10; 8, 17; 1)符号であり、記録波形列のビット間隔をTとするとき、その最少反転間隔T_{min}は3Tであり、最大反転間隔T_{max}は11Tである。また、例えば上述した(4, 22; 2, 5; 5)符号では、最少反転間隔T_{min}は5Tであり、最大反転間隔T_{max}は23Tである。すなわち、(4, 22; 2, 5; 5)符号は、EFMに対して最少反転間隔T_{min}を拡大して、高密度化を図っているが、その最大反転間隔T_{max}は長くなっている。そこで、例えば下記表3、4に示すように、同じ最少反転間隔T_{min}を有し、最大反転間隔T_{max}をそれぞれ19、20とした(4, 18; 2, 5; 6)符号、(4, 19; 2, 5; 5)符号が考えられている。

【0082】

【表4】

表3 (1/2)

データ語	符号語
i=1 11 10 01	10000 01000 00#00
i=2 0011 0010 1011	00010 00000 00001 00000 00000 00#00
i=3 000111 000110 000101 000100 000011	00010 00010 00000 00010 00001 00000 00001 00001 00000 00000 00010 00000 00000 00001 00000
i=4 00001011 00001010 00001001 00001000 00000111 00000110 00000101 00000100	00010 00010 00010 00000 00010 00010 00001 00000 00010 00001 00001 00000 00001 00001 00001 00000 00000 00010 00010 00000 00000 00010 00001 00000 00000 00001 00001 00000 00000 00000 00100 00#00

【0083】

【表5】

表3(2/2)

デ一タ語	符号語
i=5 0000001111	01000 00000 00000 00010 00000
0000001110	01000 00000 00000 00001 00000
0000001101	00100 00000 00000 00010 00000
0000001100	00100 00000 00000 00001 00000
0000001011	00010 00010 00010 00010 00000
0000001010	00010 00010 00010 00001 00000
0000001001	00010 00010 00001 00001 00000
0000001000	00010 00001 00001 00001 00000
0000000111	00001 00001 00001 00001 00000
0000000110	00000 00010 00010 00010 00000
0000000101	00000 00010 00010 00001 00000
0000000100	00000 00010 00001 00001 00000
0000000011	00000 00001 00001 00001 00000
0000000010	00000 00000 00100 00010 00000
0000000001	00000 00000 00100 00001 00000
i=6 000000000011	00010 00010 00010 00010 00000
000000000010	00010 00010 00010 00001 00000
000000000001	00010 00010 00001 00001 00000
000000000000	00010 00010 00001 00001 00000
ASYNC	19T 17T 14bit
BSYNC	18T 19T 13bit

【0084】

【表6】

19
表4

データ語	符号語
i=1 11	10000
10	01000
01	00*00
i=2 0011	00010 00000
0010	00001 00000
1011	00000 00*00
i=3 000111	00010 00010 00000
000110	00010 00001 00000
000101	00001 00001 00000
000100	00000 00010 00000
000011	00000 00001 00000
i=4 00001011	00010 00010 00010 00000
00001010	00010 00010 00001 00000
00001001	00010 00001 00001 00000
00001000	00001 00001 00000 00000
00000111	00000 00010 00010 00000
00000110	00000 00010 00001 00000
00000101	00000 00001 00001 00000
00000100	00000 00000 00100 00*00
00000011	00000 00000 00010 000*0
i=5 0000001101	00010 00010 00010 00010 00000
0000001010	00010 00010 00010 00001 00000
0000001001	00010 00010 00001 00001 00000
0000001000	00010 00001 00001 00001 00000
0000000111	00001 00001 00001 00001 00000
0000000110	00000 00010 00010 00010 00000
0000000101	00000 00010 00001 00001 00000
0000000100	00000 00010 00000 00001 00000
0000000011	00000 00001 00001 00001 00000
0000000010	00000 00000 00100 00010 00000
0000000001	00000 00000 00100 00001 00000
0000000000	00000 00000 00010 00001 00000
ASYNC	20T 19T 11bit
BSYNC	19T 18T 13bit

【0085】なお、これらの表3、4において、*で示すビットは、それに連続する0の数によって決定される不確定ビットを表す。

【0086】これらの(4, 18; 2, 5; 6)符号、(4, 19; 2, 5; 5)符号に対する上述した施例をそのまま適用すると、パターンを挿入する位置によっては最大ランk(最大反転間隔T...)に対する符号則を満足しないときがある。例えば(4, 18; 2, 5; 6)符号におい

て、データが「0011 00000100」のときは、符号系列Aは「0001000000 00000 000000010000*00」になり、この符号系列Aの下位10ビット目と11ビット目の間に、以降の論理を反転するために上述した奇数個群のパターンである「00001000000」を挿入すると、最大反転間隔T...は21Tとなり、符号則を満足しない。ここで、(4, 18; 2, 5; 6)符号、(4, 19; 2, 5; 5)符号等に対しても共通に用いることができるアルゴリズムについて説明する。

【0087】これらの(4, 18; 2, 5; 6)符号、(4, 19; 2, 5; 5)符号等に対しても、挿入されたパターン以降の論理を反転させる1の数が1個の偶数個群パターン(以下反転パターンという)と、倫理を反転させない1の数が0個又は2個の奇数個群パターン(以下非反転パターンという)との1の数が0、1、2の3種類のパターンを用いるのは、上述の実施例と同様であるが、そのパターンをパターンが挿入される前後のd+1ビットに基づいてを決定するようにしている。

【0088】上述したパターン発生回路12は、例えば図6に示すように、DSVの値を計算するDSV計算回路12aと、パターンが挿入される前後のd+1ビットを記憶する直前・直後ビット処理回路12bと、該DSV計算回路12aから供給される今回挿入するパターン以前のDSVと、今回挿入するパターンと次に挿入するパターン間の符号系列のDSVとを加算し、加算値の絶対値が小さくなるように、上記直前・直後ビット処理回路12bに記憶されている前後のd+1ビットに基づいてパターンを決定するパターン決定回路12cとから構成される。

【0089】そして、パターン決定回路12cは、例えば下記表5、6に示すように、パターンが挿入される直前のd+1ビットに1が含まれず、直後のd+1ビットに1が含まれるときは、直後のd+1ビットを用いてパターンを決定し、直前のd+1ビットに1が含まれ、直後のd+1ビットに1が含まれないとときは、直前のd+1ビットを用いてパターンを決定する。

【0090】

【表7】

表5

直前の (d+1)bit	直後の (d+1)bit	パターンの 上位(d+1)bit	パターンの 下位(d+1)bit
全て0	全て0	全て0	第(d+1)bitを1
全て0	1がある	直後の(d+1)bit	全て0
1がある	全て0	全て0	直前の(d+1)bit
1がある	1がある	全て0	第(d+1)bitを1

【0091】

* * 【表8】

表6

直前の (d+1)bit	直後の (d+1)bit	パターンの 上位(d+1)bit	パターンの 下位(d+1)bit
全て0	全て0	dを満足して1を2つ含む	
全て0	1がある	直後の(d+1)bit	直後の(d+1)bit
1がある	全て0	直前の(d+1)bit	直前の(d+1)bit
1がある	1がある	直前の(d+1)bit	直後の(d+1)bit

【0092】具体的には、上述の表5、6に示すように、パターンが挿入される直前及び直後のd+1ビットに1が含まれないときは、パターンを、最下位ビットを第1ビットとしたときの第d+1ビットのみを1とした第1の反転パターン、又は1を2つ含むと共に、(d, k)符号の符号則を満足する第1の非反転パターンとし、直前のd+1ビットに1が含まれず、直後のd+1ビットに1が含まれるときは、パターンを、その上位d+1ビットが直後のd+1ビットであって、下位d+1ビットが全て0である第2の反転パターン、又は直後のd+1ビットが連続した第2の非反転パターンとし、直前のd+1ビットに1が含まれ、直後のd+1ビットに1が含まれないときは、パターンを、その上位d+1ビットが全て0であって、下位d+1ビットが直前のd+1ビットである第3の反転パターン、又は直前のd+1ビットが連続した第3の非反転パターンとし、直前及び直後のd+1ビットにそれぞれ1が含まれるときは、パターンを、第1の反転パターン、又は全てが0である第4の非反転パターンとする。

【0093】すなわち、例えば最少ランdが4である(4, 18; 2, 5; 6)符号、(4, 19; 2, 5; 5)符号に対しては、パターンが挿入される直前及び直後の5($=4+1$)ビットが「00000」である(1が含まれない)ときは、パターンを、その最下位ビット※

$$2(2d+1) \leq k$$

【0098】さらに、下記式5に示す条件が成立するときは、この第4の非反転パターンを、パターンが挿入さ

※(以下LSBという)を第1ビットとしたときの第5($=4+1$)ビットのみを1とした「0000010000」である第1の反転パターン、又は例えば「00100001000」、「01000010000」等の1を2つ含むと共に、d=4を満足する第1の非反転パターンとする。

【0094】直前の5ビットに1が含まれず、直後の5ビットに1が含まれるときは、パターンを、その上位5ビットが直後の5ビットであって、下位5ビットが「00000」である第2の反転パターン、又は直後の5ビットが連続した第2の非反転パターンとする。

【0095】直前の5ビットに1が含まれ、直後の5ビットに1が含まれないときは、パターンを、その上位5ビットが「00000」であって、下位5ビットが直前の5ビットである第3の反転パターン、又は直前の5ビットが連続した第3の非反転パターンとする。

【0096】直前及び直後の5ビットにそれぞれ1が含まれるときは、パターンを、「0000010000」である第1の反転パターン、又は直前の5ビットと直後の5ビットは連続した第4の非反転パターンとする。なお、この第4の非反転パターンとしては、下記式4に示す条件が成立するときは「0000000000」のパターンとしてもよい。

【0097】

...式4

れる前後の下記式6、7に示すxビットに基づいて決定してもよい。

23

【0099】

$$2d < k < 2(2d+1)$$

24

...式5

【0100】 dが偶数のとき、

$$x = d/2$$

...式6

【0101】 dが奇数のとき、

$$x = (2d+1)/2$$

...式7

【0102】 具体的には、例えば下記表7に示すように、パターンが挿入される直前及び直後のxビットに1が含まれないときは、第4の非反転パターンを、その上位d+1ビットの左(MSB側)からx+1ビット目を1とすると共に、下位d+1ビットの左からx+1ビット目を1とする。例えば上述のd=4であって、直前及*

*び直後の2($=4/2$)ビットが共に「00」のときは、第4の非反転パターンを「0010000100」とする。

10 【0103】

【表9】

表7

直前のxbit	直後のxbit	パターンの上位(d+1)bit	パターンの下位(d+1)bit
全て0	全て0	左から(x+1)bit目を1	左から(x+1)bit目を1
全て0	左からybit目が1	左からybit目を1	左からybit目を1
右からzbit目が1	全て0	右からzbit目を1	右からzbit目を1

【0104】 直前のxビットに1が含まれず、直後のxビットのうちの左からyビット目が1のときは、第4の非反転パターンを、その上位d+1ビットの左からyビット目を1とし、下位d+1ビットの左からyビット目を1とする。例えば直前の2ビットが「00」であって、直後の2ビットが「01」のときは、yは2となり、第4の非反転パターンを「0100001000」とする。また、例えば直前の2ビットが「00」であって、直後の2ビットが「10」のときは、yは1となり、第4の非反転パターンを「1000010000」とする。

【0105】 直前のxビットのうちの右(LSB側)からzビット目が1であって、直後のxビットに1が含まれないときは、第4の非反転パターンを、その上位d+1ビットの右からzビット目を1とし、下位d+1ビットの右からzビット目を1とする。例えば直前の2ビットが「01」であって、直後の2ビットが「00」のときは、zは1となり、第4の非反転パターンを「000010001」とする。また、例えば直前の2ビットが「10」であって、直後の2ビットが「00」のときは、zは2となり、第4の非反転パターンを「0001000010」とする。

【0106】 ここで、上述したアルゴリズムをRLL(2, 7)変調に適用した具体例について説明する。パターンが挿入される直前及び直後の3($=2+1$)ビットが「000」である(1が含まれない)ときは、パターンを、そのLSBを第1ビットとしたときの第3($=$

2+1)ビットのみを1とした「000100」である第1の反転パターン、又は例えば「010010」、「100100」、「001001」等の1を2つ含むと共に、d=2を満足する第1の非反転パターンとする。

30 【0107】 直前の3ビットに1が含まれず、直後の3ビットに1が含まれるときは、パターンを、その上位3ビットが直後の3ビットであって、下位3ビットが「000」である第2の反転パターン、又は直後の3ビットが連続した第2の非反転パターンとする。

【0108】 直前の3ビットに1が含まれ、直後の3ビットに1が含まれないときは、パターンを、その上位3ビットが「000」であって、下位3ビットが直前の3ビットである第3の反転パターン、又は直前の3ビットが連続した第3の非反転パターンとする。

40 【0109】 直前及び直後の3ビットにそれぞれ1が含まれるときは、パターンを、「00100」である第1の反転パターン、又は直前の3ビットと直後の3ビットは連続した第4の非反転パターンとする。なお、このRLL(2, 7)変調では、上記式4に示す条件が成立しないことから、「000000」のパターンは使用できない。

【0110】 一方、上記式5に示す条件が成立することから、第4の非反転パターンを、パターンが挿入される直前の1($=2/2$)ビットに基づいて決定してもよい。すなわち、直前及び直後の1ビットが共に「0」のときは、第4の非反転パターンを「010010」とす

る。

【0111】直前の1ビットが「0」であって、直後の1ビットが「1」のときは、yは1となり、第4の非反転パターンを「100100」とする。

【0112】例えば直前の1ビットが「1」であって、直後の1ビットが「0」のときは、zは1となり、第4の非反転パターンを「001001」とする。

【0113】そして、パターン決定回路12cは、今回挿入するパターンb₁以前のDSVと、今回挿入するパターンb₁と次に挿入するパターンb₂間の符号系列のDSVとを加算し、加算値の絶対値が小さくなるように、上述のように決定した反転パターンと非反転パターンから1つパターンを選択して、パターン挿入回路13に供給する。パターン挿入回路13は、このパターンを符号系列Aに所定間隔T_{code}ビットで挿入する。ところで、所定間隔T_{code}ビットは、任意の値でよく、例えば320T（あるいはチャンネルビット）である。

【0114】かくして、(d, k)符号系列に2(d+1)ビットの長さを有するパターンを所定間隔T_{code}ビットで挿入し、パターンが挿入された符号系列BをNRZI変調して、DSV制御された変調符号を出力する際に、パターンが挿入される前後のd+1ビットに基づいて、パターンを決定することにより、符号則を満足した状態でDSVの制御を行うことができる。また、前後のd+1ビットを用いることにより、最少反転間隔T_{min}を長くすることができ、例えば記録媒体の記録密度を高めることができる。

【0115】なお、本発明は上述の実施例に限定されるものではなく、例えば所謂同期信号等においても適用することができる。具体的には、例えば(4, 22; 2, 5; 5)符号では、上記表2に示すように、50ビットからなり、23T、21T、6Tの間隔で3回の反転が生じる同期信号(ASYNC)と、21T、23T、6Tの間隔で3回の反転が生じる同期信号(BSYNC)との2種類の同期信号が用いられる。また、例えば(4, 18; 2, 5; 6)符号では、上記表3に示すように、50ビットからなり、4回の反転が生じる19T、17T、14bitからなる同期信号(ASYNC)と、18T、19T、14bitからなる同期信号(BSYNC)との2種類の同期信号が用いられる。また、例えば(4, 19; 2, 5; 5)符号では、上記表4に示すように、50ビットからなり、4回の反転が生じる20T、19T、11bitからなる同期信号(ASYNC)と、19T、18T、13bitからなる同期信号(BSYNC)との2種類の同期信号が用いられる。そして、これらの同期信号に上述したアルゴリズムに従ってパターンを挿入して、DSV制御を行う。

【0116】

【発明の効果】以上の説明で明らかなように、本発明では、符号系列に所定の長さのパターンを所定間隔で挿入した後、NRZI変調して、DSV制御された変調符号

を出力することにより、挿入したパターンの「1」の数に基づいて変調符号のDSVを制御することができる。

【0117】また、(d, k)符号系列に2(d+1)ビットの長さを有するパターンを所定間隔で挿入した後、NRZI変調して、DSV制御された変調符号を出力することにより、挿入したパターンの「1」の数に基づいて変調符号のDSVを制御することができると共に、パターンが挿入された符号系列が符号則を満足した状態で、パターンの長さを最小とすることができ、冗長度の増加を少なくすることができる。

【0118】また、所定間隔を低域カットオフ周波数に反比例した値とすることにより、伝送系の要求する仕様にDSV制御特性を適合させることができる。すなわち、冗長度の増加を必要最小限に抑えることができる。換言すると、符号設計上のDSVに関する制約項目がなくなり、最適かつ適用範囲が広い符号を容易に設計することができる。

【0119】また、パターンを1の数が0、1、2の3種類のパターンとすることにより、冗長度の増加を必要最小限に抑えることができる。

【0120】また、今回挿入するパターン以前のDSVと、今回挿入するパターンと次に挿入するパターン間の符号系列のDSVとを加算し、加算値の絶対値が小さくなるように3種類のパターンのうちの1つを選択して挿入することにより、短いパターンでDSVを大きく変化させることができる。

【0121】また、変調符号をNRZI復調してパターンが挿入された符号系列を再生し、パターンが挿入された符号系列からパターンを除去して元の符号系列を再生することにより、直流成分に起因したエラー等がない再生を行うことができる。

【0122】また、(d, k)符号系列に2(d+1)ビットの長さを有するパターンを所定間隔で挿入し、パターンが挿入された(d, k)符号系列をNRZI変調して、DSV制御された変調符号を出力する際に、パターンが挿入される前後のd+1ビットに基づいて、パターンを決定することにより、符号則を満足した状態でDSVの制御を行うことができる。また、前後のd+1ビットを用いることにより、最少反転間隔T_{min}を長くすることができ、例えば記録媒体の記録密度を高めることができ。

【図面の簡単な説明】

【図1】本発明を適用した変調装置の要部の回路構成を示すブロック図である。

【図2】上記変調装置の動作原理を説明するためのタイムチャートである。

【図3】(4, 22; 2, 5; 5)符号を採用したときの変調符号の低域特性を示す図である。

【図4】RLL(2, 7)変調を採用したときの変調符号の低域特性を示す図である。

27

【図5】本発明を適用した復調装置の要部の回路構成を示すブロック図である。

【図6】上記変調装置を構成するパターン発生回路の具体的な回路構成を示すブロックである。

【符号の説明】

1 1 …… 符号化回路

1 2 …… パターン発生回路

1 2 a …… D S V 計算回路

1 2 b …… 直前・直後ビット処理回路

28

1 2 c …… パターン決定回路

1 3 …… パターン挿入回路

1 4 …… 変調回路

1 5 …… タイミング管理回路

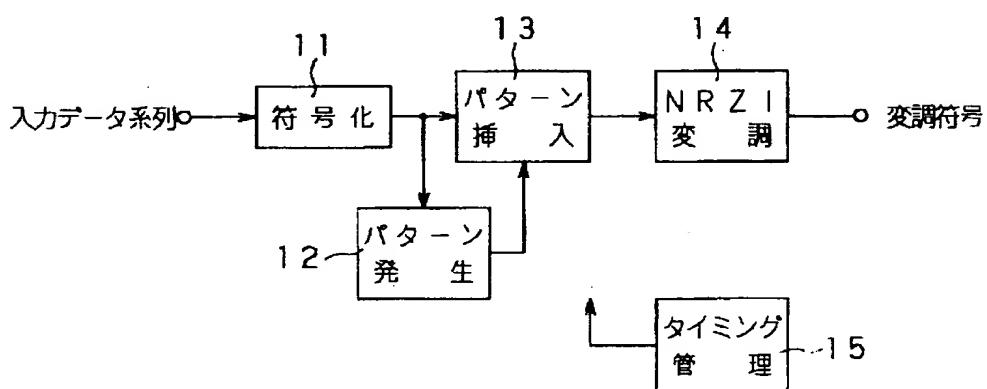
2 1 …… 復調回路

2 2 …… パターン除去回路

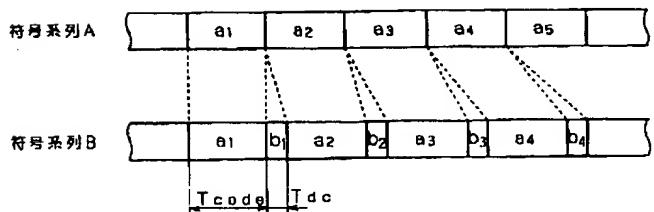
2 3 …… 復号化回路

2 5 …… タイミング管理回路

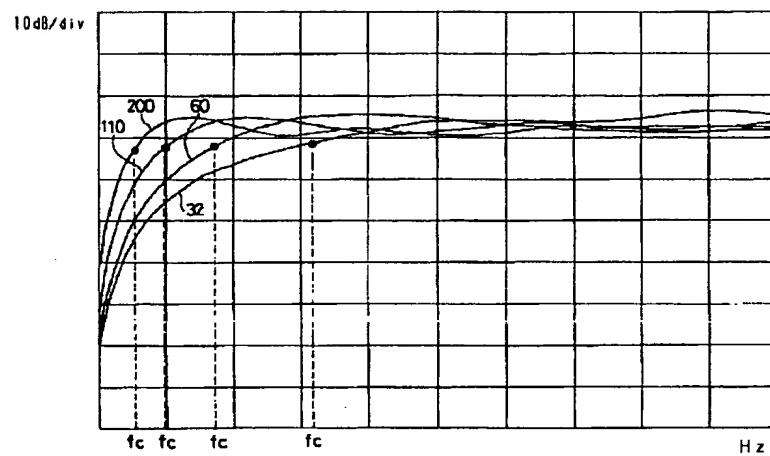
【図1】



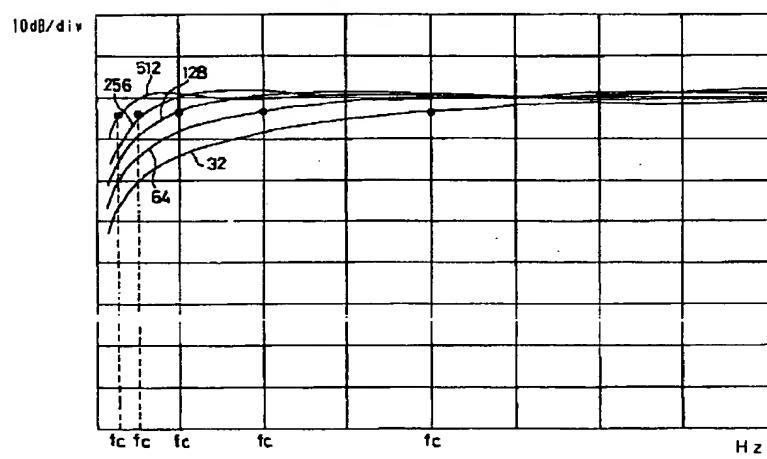
【図2】



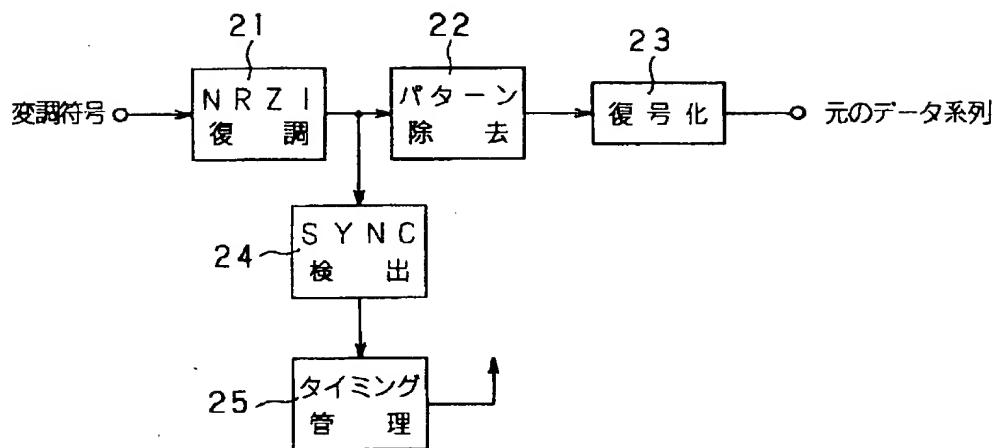
【図3】



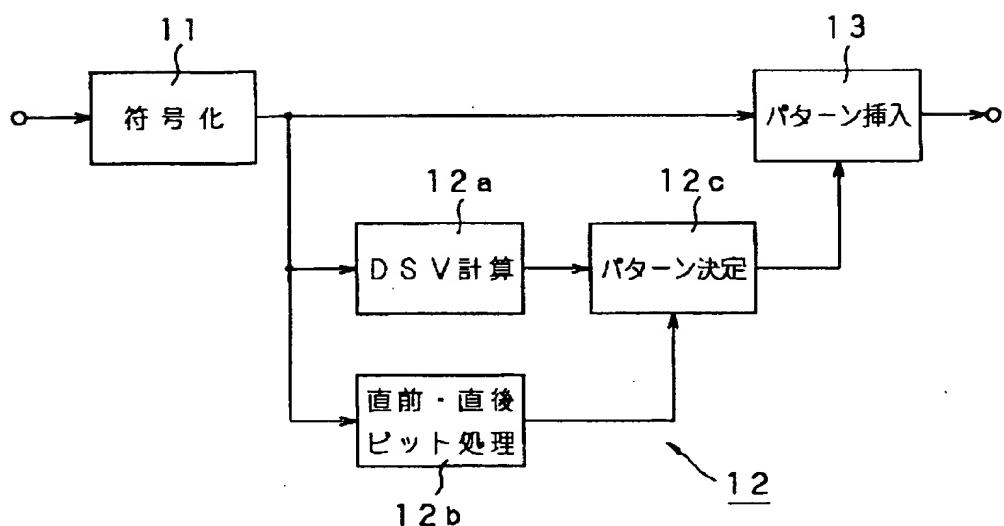
【図4】



【図5】



【図6】



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

BLACK BORDERS

IMAGE CUT OFF AT TOP, BOTTOM OR SIDES

FADED TEXT OR DRAWING

BLURRED OR ILLEGIBLE TEXT OR DRAWING

SKEWED/SLANTED IMAGES

COLOR OR BLACK AND WHITE PHOTOGRAPHS

GRAY SCALE DOCUMENTS

LINES OR MARKS ON ORIGINAL DOCUMENT

REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY

OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.